

(51) SEMICONDUCTOR DEVICE

(11) 60-15053 (A) (13) 11.3.1985 (19) JP

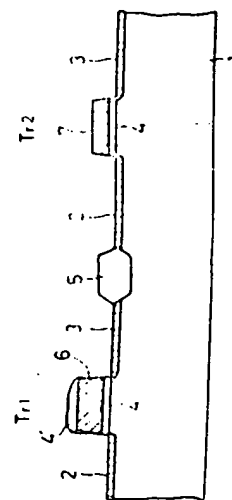
(21) Appl. No. 58-153538 (22) 22.8.1983

(71) MITSUBISHI DENKI K.K. (72) MASAO NAGATOMO

(51) Int. Cl. H01L27/08, H01L29/78

PURPOSE: To unnecessitate a plurality of processes of ion implantation, and to avoid the control of the characteristics of the titled device due to the fluctuation of the amount of channel doping by a method wherein a plurality of transistors of different threshold voltages are formed on the same semiconductor chip by the use of different gate electrode materials.

CONSTITUTION: The difference in work function of a transistor Tr1 having a gate electrode 6 between the semiconductor substrate 1 is determined by the difference in work function of the material of the electrode 6 between the substrate 1, if the film thickness of the electrode 6 is to some degree or more. Therefore, the transistors Tr1 and 2 differ in threshold voltages from the substrate by the difference in work function of the material of the gate electrodes 6 and 7. If, for example, the gate electrode 6 is made of silicon, and the gate electrode 7 is made of molybdenum, the threshold voltage more increases in the Tr2 by a constant value. Therefore, setting the threshold voltage of the Tr1 enables automatic setting in the Tr2 and accordingly desired transistor characteristics can be obtained.



257-407

THIS PAGE BLANK (USPTO)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭60-45053

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)3月11日

H 01 L 27/08
29/78

1 0 2

6655-5F
7377-5F

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭58-153538

⑰ 出 願 昭58(1983)8月22日

⑱ 発 明 者 長 友 正 男 宝塚市中山五月台5-2-22-303

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

同一半導体チップ上に、しきい値電圧の異なる複数のトランジスタを、異なるゲート電極材料によりそれぞれ形成したことを特徴とする半導体装置。

3. 発明の詳細な説明

〔発明の技術分野〕

この発明は、しきい値電圧の異なる複数のトランジスタを有する半導体装置に関するものである。

〔従来技術〕

現在製作されている換積回路(IC)においては、通常、トランジスタのしきい値電圧 V_{th} は、回路上の要求から複数の値のものを用いている。一例として、ダイナミック、ランダムアクセス・メモリ(D-RAM)では、0.5Vと1.0V程度のしきい値電圧 V_{th} を持つトランジスタを使い分けている。

これら複数のしきい値 V_{th} を持つトランジスタを同一半導体チップ上に製作する方法としては、トランジスタのしきい値電圧 V_{th} を制御するチャネルドープと呼ばれるイオン注入を、零負偏置工程を間に挟んで2度行うものが代表的なものである。

この方法は、現在のところ有効な方法として広く応用されている。しかし、今後デバイスの微細化が進むと、トランジスタのショートチャネル効果の影響がデバイスの電気特性の制御に大きな問題となり、このため、わずかなチャネルドープ量のゆらぎがデバイス特性上問題となってくる。

〔発明の概要〕

この発明は、上記のような問題を解決すべくなされたもので、同一半導体チップ上にしきい値電圧の異なるトランジスタを、異なるゲート電極材料を用いて形成したものである。

〔発明の実施例〕

上記に述べたように、トランジスタのしきい値電圧 V_{th} を制御する方法として、イオン注入によ

リ不純物を添加する方法では、高いしきい値電圧 V_{th} のトランジスタを製作するには2度のイオン注入が必要であり、イオン注入量のゆらぎを2度検ることとなる。そこで、イオン注入工程を1回に留める方法として、しきい値電圧 V_{th} の制御をゲート電極材料により行う方法が有効である。しきい値電圧 V_{th} を制御している要素として、ゲート材料と基板材料との仕事関数差があることは周知のことである。この発明は、この事実を利用したものである。

第1図(a)、(b)はこの発明の実施例をそれぞれ示す断面略図である。この図で、Tr1、Tr2はトランジスタ、1は半導体基板、2はソースまたはドレイン領域、3はドレインまたはソース領域、4はゲート絶縁膜、5は素子分離用絶縁膜、6、7は各々異なる材料のゲート電極であり、2つの層6'と7'とが重なっているゲート電極6を有するトランジスタTr1の半導体基板1との仕事関数差は、ゲート電極6の膜厚がある程度以上あれば、ゲート電極6の材料と半導体基板1との仕事

関数差で決まる。したがって、トランジスタTr1とTr2とは、半導体基板1とゲート電極6、7の材料の仕事関数の違いだけしきい値電圧 V_{th} が異なる。

これにより、同一半導体チップ上にイオン注入工程を行わずに、しきい値電圧 V_{th} の異なるトランジスタを製作することが可能である。一例として、ゲート電極6をシリコン(Si)、ゲート電極7をモリブデン(Mo)とすると、トランジスタTr1とTr2のしきい値電圧 V_{th} は、トランジスタTr2の方が0.5V程度高くなる。したがって、トランジスタTr1のしきい値電圧 V_{th} を0.5Vと設定すれば、トランジスタTr2は1.0Vとなり所望のトランジスタ特性が得られる。

次に、第1図(a)に示すこの発明の半導体装置の製造方法を第2図(a)~(c)によつて説明する。

まず、第2図(a)のように、半導体基板1上に素子分離用絶縁膜5およびゲート絶縁膜4を形成させた後、その上にトランジスタTr1のゲート電極6を形成するための層6'を設け、トランジス

タTr1のゲートパターン用のレジスト8を形成する。このレジスト8に沿つてエッチングしてゲート電極6を形成した後、このゲート電極6下のゲート絶縁膜4のみを残し、他のゲート絶縁膜4をエッチングする。

その後、第2図(b)のように、再びトランジスタTr2用のゲート絶縁膜4を形成するためにゲート酸化を行うと、トランジスタTr1のゲート電極6にシリコンを含ませておけば、この上にも酸化膜あるいは絶縁膜4'が生成する。この上に、トランジスタTr2のゲート電極7を形成するための層7'を形成し、トランジスタTr2のゲートパターンをレジスト8によりパターンニングする。

次に、第2図(c)のように、レジスト8を利用してゲート電極7をエッチングし、その後、トランジスタTr1およびTr2のゲート電極6、7の下以外のゲート絶縁膜4をエッチングし、ソースまたはドレイン領域2、3をイオン注入により形成すれば、第1図のトランジスタTr1、Tr2が製作される。

第3図(a)~(c)は第1図(b)の実施例の半導体装置の製造方法を示すもので、この例ではトランジスタTr1のゲート電極6が、層6'と層7'の2層から形成されている点で、第1図の実施例と異なる点である。次に、第3図の実施例の製造方法について説明する。

第3図(a)~(c)において、第3図(a)までの工程は第2図(a)の工程と同様である。第3図(a)以後、第3図(b)のようにレジスト8に沿つてエッチングした後、すぐその上にゲート電極6を形成するための層7'を形成し、トランジスタTr1およびTr2のゲートパターンをレジスト8により形成する。このレジスト8に沿つてゲート電極7の形成のための層7'をエッチングしてゲート電極7と、層6'と層7'とによるゲート電極6とを形成する。

その後、トランジスタTr1およびTr2のゲート電極6、7下のゲート絶縁膜4のみを残してゲート絶縁膜4をエッチングし、ソースまたはドレイン領域2、3をイオン注入法で形成すれば、第

3図(c)のトランジスタが製作される。

なお、第3図(b)において、トランジスタ Tr_1 のゲートパターンをレジスト8により形成せずにセルフアライン法、例えば層6'の表面と層7'とを反応させ、これにより未反応部分とエッチング選択比を持たせることにより、トランジスタ Tr_1 を形成させることも可能である。

〔発明の効果〕

以上詳細に説明したように、この発明は同一半導体チップ上に異なるしきい値電圧の複数のトランジスタを、異なるゲート電極材料を用いて形成したので、半導体基板の材料とゲート電極材料の材料との仕事関数差によりしきい値電圧を選ぶことができるので、イオン注入工程によりしきい値を変えるもののように複数のイオン注入工程を必要とせず、かつ、チャネルドープ量のゆらぎによつてデバイスの特性が左右されることがない利点がある。

4. 図面の簡単な説明

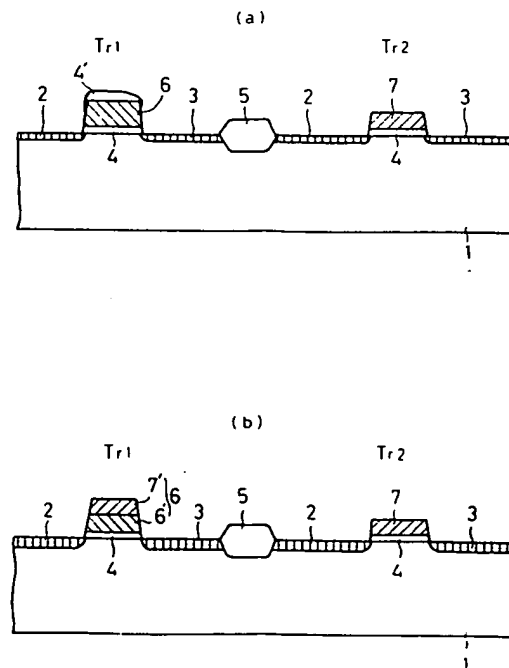
第1図(a)、(b)はこの発明の実施例をそれぞれ

示す断面略図、第2図(a)～(c)は第1図(a)の実施例の製造方法を説明するための工程図、第3図(a)～(c)は第1図(b)の実施例の製造方法を説明するための工程図である。

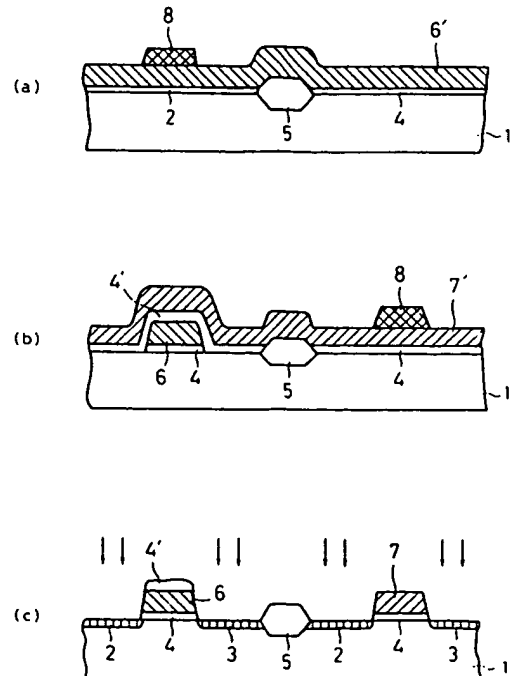
図中、1は半導体基板、2、3はソースまたはドレイン領域、4はゲート絶縁膜、5は素子分離用絶縁膜、6、7はゲート電極、8はレジストである。なお、図中の同一符号は同一または相当部分を示す。

代理人 大 岩 増 繁 (外2名)

第 1 図



第 2 図



第 3 図

